

## PATENT ABSTRACTS OF JAPAN

(11)Publication number : 2000-252475

(43)Date of publication of application : 14.09.2000

(51)Int.Cl.

H01L 29/80

H01L 29/74

H01L 29/749

(21)Application number : 11-056272

(71)Applicant : KANSAI ELECTRIC POWER CO  
INC:THE

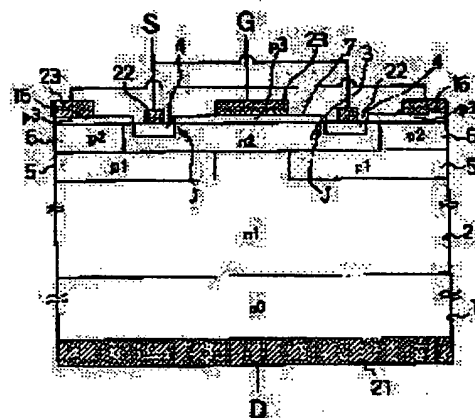
(22)Date of filing : 03.03.1999

(72)Inventor : SUGAWARA YOSHITAKA  
ASANO KATSUNORI(54) VOLTAGE CONTROLLED SEMICONDUCTOR DEVICE, MANUFACTURE THEREOF, AND  
POWER CONVERSION DEVICE USING THE SAME

(57)Abstract:

PROBLEM TO BE SOLVED: To manufacture a voltage controlled semiconductor device of high breakdown strength, low on-resistance, and low noise by forming a gate electrode and a second electrode for a semiconductor substrate, respectively, in a surface voltage control gate semiconductor region or gate contact semiconductor region of either first or second conductivity type.

SOLUTION: An n-type SiC drift layer 2 of low-impurity concentration is formed on an n-type SiC drain region 1 of high-impurity concentration. A rectangular p-type SiC embedded voltage control gate semiconductor region 5 is formed in the region at both end parts except for the central part on the upper surface of the drift layer 2. The embedded voltage control gate semiconductor region 5 and a p-type surface voltage control gate semiconductor region 16 formed over it are connected, and a gate electrode 23 is formed in the region 16 and a gate contact region 6, respectively, with a second electrode 21 formed on the opposite side of the drift layer 2.



## LEGAL STATUS

[Date of request for examination]

08.05.2002

[Date of sending the examiner's decision of  
rejection][Kind of final disposal of application other than  
the examiner's decision of rejection or  
application converted registration]

[Date of final disposal for application]

[Patent number]

[Date of registration]

[Number of appeal against examiner's decision  
of rejection]

[Date of requesting appeal against examiner's  
decision of rejection]

[Date of extinction of right]

Copyright (C); 1998,2003 Japan Patent Office

(19) 日本国特許庁 (J P)

(12) 公開特許公報 (A)

(11) 特許出願公開番号

特開2000-252475

(P2000-252475A)

(43) 公開日 平成12年9月14日 (2000.9.14)

(51) Int.Cl.

識別記号

F I

テームト\* (参考)

H 0 1 L 29/80

H 0 1 L 29/80

V 5 F 0 0 5

29/74

29/74

M 5 F 1 0 2

29/749

D

6 0 1 B

審査請求 未請求 請求項の数16 O L (全 14 頁)

(21) 出願番号

特願平11-56272

(22) 出願日

平成11年3月3日 (1999.3.3)

(71) 出願人 000156938

関西電力株式会社

大阪府大阪市北区中之島3丁目3番22号

(72) 発明者 菅原 良孝

大阪市北区中之島3丁目3番22号 関西電力株式会社内

(72) 発明者 浅野 勝則

大阪市北区中之島3丁目3番22号 関西電力株式会社内

(74) 代理人 100062926

弁理士 東島 隆治

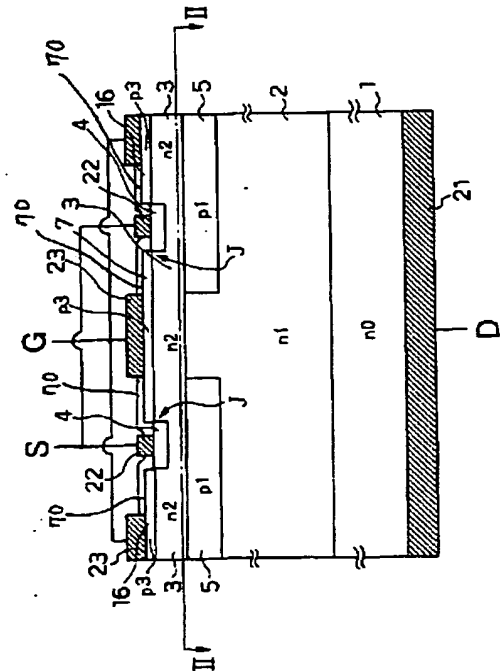
最終頁に続く

(54) 【発明の名称】 電圧制御型半導体装置とその製法及びそれを用いた電力変換装置

(57) 【要約】

【課題】 高耐圧で低オン抵抗・低ノイズの電圧制御半導体装置を実現する。

【解決手段】 薄い活性領域の上下に、表面電圧制御ゲート半導体領域と中心付近に電流通路を有する埋め込み電圧制御ゲート半導体領域を具備せしめた半導体装置において、電圧制御ゲート半導体領域は活性領域及びソース領域と反対極性の半導体領域で構成し、薄い活性領域の両端にソース領域を表面電圧制御ゲート半導体領域よりもその表面と底面がそれぞれ低位置でかつ端部が同電位になるように埋め込み電圧制御ゲート半導体領域上に具備せしめる構造にする。



## 【特許請求の範囲】

【請求項1】 第1の導電型及び第2の導電型の内のいずれか一方の高不純物濃度の半導体基板、

前記半導体基板の上に形成した、低不純物濃度の第1の導電型及び第2の導電型の内のいずれか一方のドリフト層、

前記ドリフト層の表面の一部分に形成した、第2の導電型及び第1の導電型の内のいずれか一方の埋め込み電圧制御ゲート半導体領域、

前記埋め込み電圧制御ゲート半導体領域の上面の一部分を含みドリフト層の上面に形成した第1の導電型及び第2の導電型の内のいずれか一方の薄い活性領域、

前記埋め込み電圧制御ゲート半導体領域の上面において、前記活性領域内に形成した、第2の導電型及び第1の導電型の内のいずれか一方のゲートコンタクト半導体領域、

前記活性領域の表面に形成した第1の導電型及び第2の導電型の内のいずれか一方の第1の半導体領域、

前記第1の半導体領域に形成した第1の電極、

前記活性領域の表面に形成した、第2の導電型及び第1の導電型の内のいずれか一方の表面電圧制御ゲート半導体領域及びゲートコンタクト半導体領域、

前記表面電圧制御ゲート半導体領域及びゲートコンタクト半導体領域にそれぞれ形成したゲート電極、及び前記半導体基板の、前記ドリフト層を有する面の反対面に形成した第2の電極を少なくとも備える電圧制御型半導体装置。

【請求項2】 第1の導電型の高不純物濃度の半導体基板、

前記半導体基板の上に形成した、低不純物濃度の第1の導電型のドリフト層、

前記ドリフト層の表面の一部分に形成した、第2の導電型の埋め込み電圧制御ゲート半導体領域、

前記埋め込み電圧制御ゲート半導体領域の上面に形成した第1の導電型の薄い活性領域、

前記埋め込み電圧制御ゲート半導体領域の上面において、前記活性領域内に形成した、第2の導電型のゲートコンタクト半導体領域、

前記活性領域の端部領域の表面に形成した第1の導電型のソース領域、

前記ソース領域に形成したソース電極、

前記活性領域の表面に形成した、第2の導電型の表面電圧制御ゲート半導体領域、

前記表面電圧制御ゲート半導体領域及びゲートコンタクト半導体領域にそれぞれ形成したゲート電極、及び前記半導体基板の、前記ドリフト層を有する面の反対面に形成したドレイン電極を備える電圧制御型半導体装置。

【請求項3】 前記ソース領域を、前記埋め込み電圧制御ゲート半導体領域に接するように形成した請求項2記載の電圧制御型半導体装置。

【請求項4】 前記埋め込み電圧制御ゲート半導体領域の近傍の前記ドリフト層内に、前記ゲート電極に接続された他の埋め込み電圧制御ゲート半導体領域を形成した請求項2記載の電圧制御型半導体装置。

【請求項5】 前記ソース電極を、前記活性領域上の表面電圧制御ゲート半導体領域の上面及びソース領域の上面に形成したことを特徴とする請求項2記載の電圧制御型半導体装置。

【請求項6】 前記ドリフト層の表面の、前記埋め込み電圧制御ゲート半導体領域の近傍に形成した第2の導電型の別の埋め込み電圧制御ゲート半導体領域、及び前記別の埋め込み電圧制御ゲート半導体領域の少なくとも一部に設けられ、かつ前記活性領域の近傍に形成した第1の導電型のソース領域を更に備える請求項2記載の電圧制御型半導体装置。

【請求項7】 第1の導電型の高不純物濃度の半導体基板、前記半導体基板の上に形成した、低不純物濃度の第1の導電型のドリフト層、

前記ドリフト層の表面に、所定の間隔を設けて形成した、第2の導電型の埋め込み電圧制御ゲート半導体領域、

前記埋め込み電圧制御ゲート半導体領域の上面の一部分を含み前記ドリフト層の表面に形成した第1の導電型の薄い活性領域、

前記埋め込み電圧制御ゲート半導体領域の上面において、前記活性領域内に形成した、第2の導電型のゲートコンタクト半導体領域、

前記活性領域の表面に形成した第1の導電型のソース領域、

前記ソース領域に形成したソース電極、

前記活性領域の一部の表面に形成した、第2の導電型の表面電圧制御ゲート半導体領域、

前記表面電圧制御ゲート半導体領域およびゲートコンタクト半導体領域に形成したゲート電極、及び前記半導体基板の、前記ドリフト層を有する面の反対面に形成したドレイン電極を備える電圧制御型半導体装置。

【請求項8】 前記活性領域の中央部に少なくとも1つの第2の導電型の半導体領域を設けたことを特徴とする請求項7記載の電圧制御型半導体装置。

【請求項9】 第2の導電型の高不純物濃度の半導体基板、

前記半導体基板の上に形成した、低不純物濃度の第1の導電型のドリフト層、

前記ドリフト層の表面の両端部領域に形成した、第2の導電型の埋め込み電圧制御ゲート半導体領域、

前記埋め込み電圧制御ゲート半導体領域の上面の一部分を含み前記ドリフト層の中央領域の表面に形成した第1の導電型の薄い活性領域、

前記活性領域の両端部領域に隣接して形成した第1の導

電型のカソード領域、  
前記埋め込み電圧制御ゲート半導体領域の上面の端部領域において、前記ソース領域端部に形成した、第2の導電型のゲートコンタクト半導体領域、  
前記カソード領域に接して形成したカソード電極、  
前記活性領域の表面に形成した、第2の導電型の表面電圧制御ゲート半導体領域、  
前記表面電圧制御ゲート半導体領域およびゲートコンタクト半導体領域に接して形成したゲート電極、及び前記半導体基板の、前記ドリフト層を有する面の反対面に形成したアノード電極を備える電圧制御型半導体装置。

【請求項10】 第1の導電型の高不純物濃度の半導体基板、  
前記半導体基板の上に形成した、低不純物濃度の第2の導電型のドリフト層、  
前記ドリフト層の表面に、中央部に所定の間隔を設けて形成した、第1の導電型の埋め込み電圧制御ゲート半導体領域、  
前記埋め込み電圧制御ゲート半導体領域の上面の一部分を含み前記ドリフト層の中央領域の表面に形成した第2の導電型の薄い活性領域、  
前記活性領域の両端部領域に隣接して形成した第2の導電型のアノード領域、  
前記埋め込み電圧制御ゲート半導体領域の上面の端部領域において、前記アノード領域に接するように形成した、第2の導電型のゲートコンタクト半導体領域、  
前記アノード領域に接して形成したアノード電極、  
前記活性領域及びゲートコンタクト半導体領域の表面に形成した、第1の導電型の表面電圧制御ゲート半導体領域、  
前記表面電圧制御ゲート半導体領域に接して形成したゲート電極、及び前記半導体基板の、前記ドリフト層を有する面の反対面に形成したカソード電極を備える電圧制御型半導体装置。

【請求項11】 前記第2の導電型のゲートコンタクト半導体領域と第1の導電型のソース領域との間に、活性領域が介在することを特徴とする請求項2から10のいずれかに記載の電圧制御型半導体装置。

【請求項12】 前記ドリフト層の表面において島状に形成した第2の導電型の埋め込み電圧制御ゲート半導体領域、及び前記埋め込み電圧制御ゲート半導体領域の上の前記活性領域内に形成されたゲートコンタクト領域を有する請求項2から10のいずれかに記載の電圧制御型半導体装置。

【請求項13】 前記ゲートコンタクト半導体領域を、前記ソース領域に接するように形成した請求項2から10のいずれかに記載の電圧制御型半導体装置。

【請求項14】 前記ゲートコンタクト半導体領域を、前記ソース領域に並行するように形成した請求項2から10のいずれかに記載の電圧制御型半導体装置。

【請求項15】 第1の導電型の高不純物濃度の半導体基板の上に低不純物濃度の第1の導電型のドリフト層を形成するステップ、

前記ドリフト層の表面の両端部領域に第2の導電型の埋め込み電圧制御ゲート半導体領域を形成するステップ、  
前記埋め込み電圧制御ゲート半導体領域の上面の一部分を含み前記ドリフト層の中央領域の表面に第1の導電型の薄い活性領域を形成するステップ、

前記埋め込み電圧制御ゲート半導体領域の上面の端部領域において、前記活性領域端部に接するように第2の導電型のゲートコンタクト半導体領域を形成するステップ、

前記活性領域の端部領域の表面に第1の導電型のソース領域を形成するステップ、

前記ソース領域に接してソース電極を形成するステップ、

前記活性領域の表面に第2の導電型の表面電圧制御ゲート半導体領域を形成するステップ、

前記表面電圧制御ゲート半導体領域及びゲートコンタクト半導体領域に接してゲート電極を形成するステップ、  
及び前記半導体基板の、前記ドリフト層を有する面の反対面にドレイン電極を形成するステップ、  
を備える電圧制御型半導体装置の製造方法。

【請求項16】 直流電源の両極間に、2個の半導体装置を直列に接続し、かつ各半導体装置に逆並列にダイオードを接続した直列接続体を、少なくとも3個接続した電力変換装置であって、  
前記半導体装置に、請求項1ないし14のいずれかに記載の電圧制御型半導体装置を用いたことを特徴とする電力変換装置。

【発明の詳細な説明】

【0001】

【産業上の利用分野】 本発明は大電流を制御するパワー半導体装置に係り、特に高耐圧の電圧制御型半導体装置に関する。

【0002】

【従来の技術】 大電流を制御するための従来の半導体装置としては、Si（シリコン）製のパワー半導体装置が使用されているが、Siの電気的物理的特性の限界から大幅な性能改善は困難になってきている。そこでSiに比べて電気的物理的特性が優れているワイドギャップ半導体材料を用いたパワー半導体装置の開発が進められている。ワイドギャップ半導体材料の代表的な例として2.9から3.2eVのエネルギーギャップを持つSiC（炭化珪素）がある。このSiCを用いた半導体装置の従来例を図16および図17に示す。図16はSiC蓄積型電界効果トランジスタ（ACCUFET: Accumulation Field Effect Transistor）の断面図であり、例えば文献 IEEE Electron Device Letters, Vol.18、No.12、December 1997に開示されている。また図1

7はSiC静電誘導型トランジスタの断面図であり、文献 Proceedings of IEEE International Symposium on Power Semiconductor Devices and ICs, p.149, 1997に開示されている。

#### 【0003】

【発明が解決しようとする課題】図16に示すSiC蓄積型電界効果トランジスタは、ゲートGの電圧が零であってもソースSとドレインDの間をオフ状態にできるという優れた機能を有する。しかしMOSゲート構造であるために、ゲート絶縁膜104が高い電界強度で破壊されると大量の漏れ電流が発生する。このためワイドギャップ半導体であるSiC本来の、高い耐絶縁破壊電界を生かした高耐圧を実現できないという問題があり、従来のものの耐圧は約1kV以下にとどまっている。

【0004】図17に示すSiC静電誘導型トランジスタはゲートGに高い逆電圧を印加しないとオフ状態にできない。すなわち、低い逆電圧では高いオフ耐圧を実現できないという問題があった。図17に示す例では5kVのオフ耐圧を実現するためにはゲートGに80V以上の逆電圧を印加する必要がある。そのためSiC静電誘導型トランジスタを駆動しない時でも100V程度の高いゲートG用の電圧を発生しておかなければならず、ゲート回路の消費電力が大きくなるという問題があった。

【0005】オン抵抗に関しては、図16に示すSiC蓄積型電界効果トランジスタはMOSゲート構造を有するために、ゲート絶縁膜104とSiCn型チャネル領域103との界面に不完全な結晶構造が存在する。そのため電流通路となるチャネル領域103のチャネル移動度を大きくできずオン抵抗が高いという問題があった。図17に示すSiC静電誘導型トランジスタでは、電流通路となるゲート領域109及び110の間のチャネル112Aがn型ドリフト領域112のバルク結晶内に存在するためにゲートGの電圧を低くして高耐圧を実現しようとする、チャネル112Aを極端に狭くしなければならず、この結果としてオン抵抗が著しく高くなってしまいう問題があった。

【0006】更に、ノイズに関しては、図16のSiC蓄積型電界効果トランジスタはMOSゲート構造を有するために、ゲート絶縁膜104とSiCn型チャネル領域103との界面に不完全な結晶構造が存在する。そのため界面での電子の散乱に起因するノイズが発生するという問題があった。また、これらのトランジスタを用いて構成した装置はトランジスタの消費電力が大きいため効率が悪く、水冷・空冷等の冷却設備も大型化するという問題があった。

【0007】本発明は、高耐圧で低オン抵抗・低ノイズの電圧制御半導体装置を提供することを目的とする。特にワイドギャップ半導体装置を対象とし、ゲート電圧がゼロ（ノーマリーオフ形）もしくは低い電圧で高耐圧を達成できる半導体装置を提供することも目的とする。更

に、量産性の高い半導体装置の製法と本半導体装置を用いた小型高効率の応用装置を提供することを目的とする。

#### 【0008】

【課題を解決するための手段】本発明の電圧制御型半導体装置は、第1の導電型及び第2の導電型の内のいずれか一方の高不純物濃度の半導体基板、前記半導体基板の上に形成した、低不純物濃度の第1の導電型及び第2の導電型の内のいずれか一方のドリフト層、前記ドリフト層の表面の一部分に形成した、第2の導電型及び第1の導電型の内のいずれか一方の埋め込み電圧制御ゲート半導体領域、前記埋め込み電圧制御ゲート半導体領域の上面に形成した第1の導電型及び第2の導電型の内のいずれか一方の薄い活性領域、前記埋め込み電圧制御ゲート半導体領域の上面において、前記活性領域内に形成した、第2の導電型及び第1の導電型の内のいずれか一方のゲートコンタクト半導体領域、前記活性領域の端部領域の表面に形成した第1の導電型及び第2の導電型の内のいずれか一方の第1の半導体領域、前記第1の半導体領域に形成した第1の電極、前記活性領域の表面に形成した、第2の導電型及び第1の導電型の内のいずれか一方の表面電圧制御ゲート半導体領域、前記表面電圧制御ゲート半導体領域及びゲートコンタクト半導体領域にそれぞれ形成したゲート電極、及び前記半導体基板の、前記ドリフト層を有する面の反対面に形成した第2の電極を少なくとも備える。

本発明の他の観点の電圧制御型半導体装置は、第1の導電型の高不純物濃度の半導体基板、前記半導体基板の上に形成した、低不純物濃度の第1の導電型のドリフト層、前記ドリフト層の表面の一部分に形成した、第2の導電型の埋め込み電圧制御ゲート半導体領域、前記埋め込み電圧制御ゲート半導体領域の上面の一部分を含み前記ドリフト層の中央領域の表面に形成した第1の導電型の薄い活性領域、前記埋め込み電圧制御ゲート半導体領域の上面において、前記活性領域内に形成した、第2の導電型のゲートコンタクト半導体領域、及びゲートコンタクト前記活性領域の端部領域の表面に形成した第1の導電型のソース領域、前記ソース領域に形成したソース電極、前記活性領域の表面の一部に形成した、第2の導電型の表面電圧制御ゲート半導体領域、前記表面電圧制御ゲート半導体領域及びゲートコンタクト半導体領域にそれぞれ形成したゲート電極、及び前記半導体基板の、前記ドリフト層を有する面の反対面に形成したドレイン電極を備える。

【0009】上述のように、薄い活性層の上下の表面電圧制御ゲート半導体領域と埋め込み電圧制御ゲート半導体領域を活性領域と反対極性の半導体領域で構成し、ソース領域の表面を表面電圧制御ゲートよりも低位置に構成することにより、高耐圧が実現出来る。特に、表面電圧制御ゲート半導体領域をワイドギャップ半導体材料で構成することにより高い絶縁破壊電界に対応する高耐圧

を実現出来る。ソース領域の表面を表面電圧制御ゲート半導体領域よりも低い位置に形成することにより、ソース領域と表面電圧制御ゲート半導体領域を構成する半導体領域の接触部分が少なくなり電界が緩和されるので、更に高耐圧が得られる。

【0010】本発明の他の観点の電圧制御型半導体装置は、第1の導電型の高不純物濃度の半導体基板、前記半導体基板の上に形成した、低不純物濃度の第1の導電型のドリフト層、前記ドリフト層の表面に、形成した、第2の導電型の埋め込み電圧制御ゲート半導体領域、前記埋め込み電圧制御ゲート半導体領域の上面の一部分を含み前記ドリフト層の表面に形成した第1の導電型の薄い活性領域、前記埋め込み電圧制御ゲート半導体領域の上面の端部領域において、前記活性領域端部に形成した、第2の導電型のゲートコンタクト半導体領域、前記活性領域の端部領域の表面に形成した第1の導電型のソース領域、前記ソース領域に形成したソース電極、前記活性領域及びゲートコンタクト半導体領域の表面に形成した、第2の導電型の表面電圧制御ゲート半導体領域、前記表面電圧制御ゲート半導体領域に形成したゲート電極、前記半導体基板の、前記ドリフト層を有する面の反対面に形成したドレイン電極を備える。

【0011】さらに、薄い活性領域の両端のソース領域を、その底面が表面電圧制御ゲート半導体領域の底面よりも低い位置で且つ端部が同位置になるように、埋め込み電圧制御ゲート半導体領域上に形成することによって低オン抵抗が実現出来る。ソース領域と埋め込み電圧制御ゲート半導体領域の間またはソース領域の端と表面電圧制御ゲート半導体領域の端の間に活性領域と同程度の不純物濃度の半導体領域が存在するとソース抵抗が増大する。ソース間距離を縮めて静電誘導現象が支配的になるようにするとこのソース抵抗の半導体装置全体の抵抗に占める割合が大きくなるのでこの効果は大きい。また、少数キャリアが注入される電圧制御サイリスタ等の半導体装置では伝導度変調によってドリフト領域や活性領域の抵抗が大幅に低減されるので、このソース抵抗の半導体装置全体の抵抗に占める割合が大きくなる。従ってソース領域の底面を低い位置で且つ端部が表面電圧制御ゲート端部と同位置になるようにしてこの半導体領域を減らすことによる効果は大きい。

【0012】本発明の他の観点の電圧制御型半導体装置は、第2の導電型の高不純物濃度の半導体基板、前記半導体基板の上に形成した、低不純物濃度の第1の導電型のドリフト層、前記ドリフト層の表面の一部に形成した、第2の導電型の埋め込み電圧制御ゲート半導体領域、前記埋め込み電圧制御ゲート半導体領域の上面の一部分を含み前記ドリフト層の表面に形成した第1の導電型の薄い活性領域、前記活性領域に隣接して形成した第1の導電型のカソード領域、前記埋め込み電圧制御ゲート半導体領域の上面において、前記ソース領域端部に形

成した、第2の導電型のゲートコンタクト半導体領域、前記カソード領域に形成したカソード電極、前記活性領域及びゲートコンタクト半導体領域の表面に形成した、第2の導電型の表面電圧制御ゲート半導体領域、前記表面電圧制御ゲート半導体領域に形成したゲート電極、及び前記半導体基板の、前記ドリフト層を有する面の反対面に形成したアノード電極を備える。その構成により低いON抵抗と高耐圧が得られる。

【0013】さらに表面電圧制御ゲート半導体領域を活性領域と反対極性の半導体領域で構成し、且つカソード領域の底面が表面電圧制御ゲート半導体領域の底面よりも低い位置で且つ端部が同位置になるようにしたことにより低ノイズ化を実現出来る。特に、本構成では表面電圧制御ゲート半導体領域形成時の拡散により接合が活性領域内部に形成されるので結晶構造が均一になりノイズを低減出来る。また、カソード領域と埋め込み電圧制御ゲート半導体領域との間または表面電圧制御ゲート半導体領域の端との間に存在する半導体領域は熱雑音を発生するが、カソード領域の底面が表面電圧制御ゲート半導体領域の底面よりも低い位置で且つ端部が同位置になるようにし上記の半導体領域を減らすことにより熱雑音の発生領域が低減し低ノイズ化が実現出来る。

【0014】本発明の他の観点の電圧制御型半導体装置は、第1の導電型の高不純物濃度の半導体基板、前記半導体基板の上に形成した、低不純物濃度の第2の導電型のドリフト層、前記ドリフト層の表面に、所定の間隔を設けて形成した、第1の導電型の埋め込み電圧制御ゲート半導体領域、前記埋め込み電圧制御ゲート半導体領域の上面の一部分を含み前記ドリフト層の表面に形成した第2の導電型の活性領域、前記活性領域の隣接して形成した第2の導電型のアノード領域、前記埋め込み電圧制御ゲート半導体領域の上面において、前記アノード領域に形成した、第2の導電型のゲートコンタクト半導体領域、前記アノード領域に形成したアノード電極、前記活性領域及びゲートコンタクト半導体領域の表面に形成した、第1の導電型の表面電圧制御ゲート半導体領域、前記表面電圧制御ゲート半導体領域に形成したゲート電極、及び前記半導体基板の、前記ドリフト層を有する面の反対面に形成したカソード電極を備える。その構成により低いON抵抗と高耐圧が得られる。

【0015】本発明の電圧制御型半導体装置の製造方法は、第1の導電型の高不純物濃度の半導体基板の上に低不純物濃度の第1の導電型のドリフト層を形成するステップ、前記ドリフト層の表面の両端部領域に第2の導電型の埋め込み電圧制御ゲート半導体領域を形成するステップ、前記埋め込み電圧制御ゲート半導体領域の上面の一部分を含み前記ドリフト層の中央領域の表面に第1の導電型の活性領域を形成するステップ、前記埋め込み電圧制御ゲート半導体領域の上面において、前記活性領域端部に第2の導電型のゲートコンタクト半導体領域を形

成するステップ、前記活性領域の表面に第1の導電型のソース領域を形成するステップ、前記ソース領域にソース電極を形成するステップ、前記活性領域及びゲートコンタクト半導体領域の表面に第2の導電型の表面電圧制御ゲート半導体領域を形成するステップ、前記表面電圧制御ゲート半導体領域にゲート電極を形成するステップ、及び前記半導体基板の、前記ドリフト層を有する面の反対面にドレイン電極を形成するステップを備える。この製造方法では、半導体形成技術を用いているので、量産性にすぐれ、安価に半導体装置を製造することができ

#### 【0016】

【発明の実施の形態】以下に、本発明の好適な実施例を図1から図15を参照して説明する。

【0017】《第1実施例》図1は本発明の第1実施例の耐圧5kVのSiC接合型電界効果トランジスタのセグメントの断面図である。このセグメントは図1の紙面に垂直な方向に長いストライプ状である。このセグメントを図1の左右方向に複数個連結して形成することにより、大容量のSiC接合型電界効果トランジスタが構成される複数のセグメントを連結する構成は第2ないし第9実施例においても同様である。図1において、厚さ約350 $\mu$ mの、高不純物濃度のn型のSiCのドレイン領域1の上に厚さ約50 $\mu$ mの低不純物濃度のn型のSiCのドリフト層2が形成されている。図1のII-II断面図である図2に示すように、ドリフト層2の上面の中央部を除く両端部の領域に長方形のp型SiCの埋め込み電圧制御ゲート半導体領域5が形成されており、その厚さの最適値は0.7 $\mu$ mであるが、0.3 $\mu$ mから3.0 $\mu$ mの範囲にあればよい。埋め込み電圧制御ゲート半導体領域5の上面、及びドリフト層2の露出部にn型の活性領域3が形成されており、その最適厚さは約0.7 $\mu$ mである。活性領域3の厚さは0.2 $\mu$ mから3.0 $\mu$ mの範囲にあればよい。活性領域3の表面領域の両端部には、ソース電極22に接続されているn型SiCのソース領域4がそれぞれ形成されており、その厚さは0.2 $\mu$ mであるが、0.1 $\mu$ mから0.5 $\mu$ m程度でもよい。n型活性領域3の上にはp型表面電圧制御ゲート半導体領域7が形成されている。その厚さは0.3 $\mu$ m程度である。

【0018】n型ソース領域4とn型活性領域3との接合面は、p型表面電圧制御ゲート半導体領域7とn型活性領域3との接合面より低位置のドレイン領域1に近い位置にある。p型の埋め込み電圧制御ゲート半導体領域5は、n型のソース領域4より1 $\mu$ m程度中央部へ突出しているのが望ましいが、0.5 $\mu$ m以上突出していればよい。両側のp型の埋め込み電圧制御ゲート半導体領域5の間隔は2 $\mu$ mが最適であるが、1 $\mu$ mないし5 $\mu$ mであればよい。p型ゲートコンタクト半導体領域6が、p型の埋め込み電圧制御ゲート半導体領域5の上の

端部領域に形成され、埋め込み電圧制御ゲート半導体領域5と、その上に形成されるp型の表面電圧制御ゲート半導体領域16とを接続している。ゲートコンタクト領域6は、図3に示すように、ソース領域4から所定距離離れていてもよく、また図4に示すように、ソース領域4に接していてもよい。また、片側が接して他方の側が離れていてもよい。なお、埋め込み電圧制御ゲート半導体領域5とゲートコンタクト領域6は図の紙面に垂直方向に連続する帯状であってもよい。表面電圧制御ゲート半導体領域16にはゲート電極23が設けられている。n型ソース領域4を除くn型の活性領域3上に形成されたp型表面電圧制御ゲート半導体領域7には、ゲート電極23が設けられている。表面に保護層70を設けるのが望ましい。本実施例では、SiC接合型電界効果トランジスタの形状は紙面に垂直な方向に長いストライプ状であるが、その形状は例えば円形や四角形等であってもかまわない。

【0019】本実施例の接合型電界効果トランジスタの製造方法の一例を、図5及び図6の断面図を用いて説明する。図5の(a)に示すように、まず、n型のドレイン領域1として機能する厚さ約350 $\mu$ mのn型SiC基板上に、厚さ約50 $\mu$ mのn型のドリフト層2をエピタキシャル成長法等により形成する。次に、図5の(b)に示すように、ドリフト層2の中央部を除いてp型の埋め込み電圧制御ゲート半導体領域5をアルミニウム等のイオン打ち込み等により形成する。さらに図5の(c)に示すように、ドリフト層2の中央部と埋め込み電圧制御ゲート半導体領域5の上に薄いn型の活性領域3を形成する。そして図5の(d)に示すように、両端部において、p型埋め込み電圧制御ゲート半導体領域5に達するp型ゲートコンタクト半導体領域6を、アルミニウムのイオン打ち込み法等により形成する。その上に薄いp型表面電圧制御ゲート半導体領域7をエピタキシャル成長法等の薄膜形成法により形成する。

【0020】次に、p型表面電圧制御ゲート半導体領域7の上にマスクを形成し、ホトリソ技術でエッチング加工して図6の(a)に示すように所定の形状の表面電圧制御ゲート半導体領域7及びゲートコンタクト領域16を得る。この表面電圧制御ゲート半導体領域7及びゲートコンタクト領域16をマスクとして利用するセルフアラインにより、図6の(b)に示すように、n型ソース領域4を窒素等のイオン打ち込み法や拡散法などにより形成する。n型ソース領域4は必ずしもp型ゲートコンタクト半導体領域6に接触している必要はない。最後に図6の(c)に示すように、p型表面電圧制御ゲート半導体領域7及びゲートコンタクト領域16の上にゲート電極23を形成する。またn型ソース領域4の上にソース電極22を形成する。さらに、n型ドレイン領域1にドレイン電極21を形成して完成する。

【0021】本実施例のSiC接合型電界効果トランジ



スタでは、ドレインDの電位がソースSの電位より高い状態で、ゲートGとソースS間の電位を0Vにすると、p型埋め込み電圧制御ゲート半導体領域5及びp型表面電圧制御ゲート半導体領域7と、これらの領域に接するn型活性領域3の接合部からビルトイン電圧に対応した空乏層が広がり、n型活性領域3をピンチオフ状態にできる。その結果、ソースSとドレインD間の電流を遮断することができノーマリオフとなる。n型ソース領域4の表面をp型表面電圧制御ゲート半導体領域7の表面よりも低い位置に構成しているので、n型ソース領域4とp型表面電圧制御ゲート半導体領域7との接触部が少なくなる。この接続部は高電界となる部分であるが、これを減らすことにより高電界部分を少なくでき、高耐圧のSiC接合型電界効果トランジスタを実現できる。

【0022】ドレインDの電位をソースSの電位より高くし、かつゲートGに、ソースSを基準としてビルトイン電圧以下の電圧を印加する。その結果p型埋め込み電圧制御ゲート半導体領域5とp型表面電圧制御ゲート半導体領域7の間のn型活性領域3内の空乏層が狭くなる。電流はドレインから両p型埋め込み電圧制御ゲート半導体領域5の間を通り、n型活性領域3を経て、ソースSに流れ込む。本実施例ではn型ソース領域4をn型活性領域3にセルフアラインにより形成しているので、矢印Jで示すp型表面電圧制御ゲート半導体領域7の端部とn型ソース領域4の端部は段違いとなり、両端部間にn型の半導体領域が存在しない。これにより、n型ソース領域4の、n型活性領域3に接する縦の壁面部分の抵抗が減少し、オン抵抗が低くなる。もしn型の半導体領域が存在するとノイズ源となることを発明者は見だしており、このn型の半導体領域をなくすことにより低ノイズ化も実現できる。更に、n型ソース領域4の、n型活性領域3に接する底面をp型表面電圧制御ゲート半導体領域7の底面より低い位置にした結果、n型ソース領域4の下にn2半導体領域が薄くなり更にオン抵抗を減らしかつノイズを減らすことができる。

【0023】この実施例の接合型電界効果トランジスタの耐圧は約5.5kVである。オン抵抗は、ゲート電圧を2.5Vとしたとき、約75mΩcm<sup>2</sup>と非常に低い値であった。ノイズも10<sup>-9</sup>V<sup>2</sup>/Hz以下と非常に低い値であった。また、ゲートGのゲート電圧をビルトイン電圧(SiCでは約2.5V)以下の値にするため、ゲートGには空乏層の容量による電流しか流れず、駆動電力を低く抑えることができる。また、n型活性領域3の厚さや不純物濃度によりトランジスタがノーマリオフとならない場合でも、小さいゲート電圧でp型埋め込み電圧制御ゲート半導体領域5及びp型表面電圧制御ゲート半導体領域7とn型活性領域3との接合部から空乏層が広がる。その結果、n型活性領域3がピンチオフし駆動電力を低く抑えつつ高耐圧を実現できる。

【0024】本実施例では、n型ソース領域4をセルフ

アラインにより形成することにより、p型表面電圧制御ゲート半導体領域7端部とn型ソース領域4端部の間にn型の半導体領域が存在しない。これにより低オン抵抗化と低ノイズ化を同時に達成できるとともに、高い量産性が得られる。また、図5の(c)と図5の(d)の工程は逆にしてもよい。本製造方法に関しては本発明の本質を損ねることなく各種の変形ができるものである。

【0025】《第2実施例》図7は本発明の第2実施例の接合型電界効果トランジスタのセグメントの断面図である。図7において、第2実施例の接合型電界効果トランジスタは、n型ソース領域4がn型活性領域3を貫通して、その底面がp型埋め込み電圧制御ゲート半導体領域5と接するように構成されている。従って、n型ソース領域4とp型埋め込み電圧制御ゲート半導体領域5の間にはn型活性領域3は存在しない。その他の構成は第1実施例と同じであるので重複する説明は省略する。n型ソース領域4とp型埋め込み電圧制御ゲート半導体領域5の間に活性領域3が存在すると熱雑音が発生するが、本実施例では前記のように両者間に活性領域3がないので熱雑音は発生せず、さらに低ノイズ化が実現できた。また、n型ソース領域4の体積が大きいため、ソース抵抗も小さくなり、更にオン抵抗が減少した。本実施例の接合型電界効果トランジスタの耐圧は約5.3kVである。オン抵抗は、ゲート電圧を2.5Vとしたとき約65mΩcm<sup>2</sup>であり、低い値であった。ノイズも4×10<sup>-10</sup>V<sup>2</sup>/Hz以下と極めて低い値であった。

【0026】《第3実施例》図8は、本発明の第3実施例のSiC接合型電界効果トランジスタのセグメントの断面図である。本実施例では、図7に示す第2実施例の接合型電界効果トランジスタの隣り合う両p型埋め込み電圧制御ゲート半導体領域5の間に、p型の第2埋め込み電圧制御ゲート半導体領域8を設けている。この領域は複数あってもよい。図8の(a)の断面図(b)に示すように、第2埋め込み電圧制御ゲート半導体領域8は図のようにp型埋め込みゲート半導体領域5とp型領域8Aで部分的に接続されている。その他の構成は第2実施例のものと同じであるので重複する説明は省略する。オフの時には、第2埋め込み電圧制御ゲート半導体領域8とn型ドリフト層2との接合部から、p型埋め込み電圧制御ゲート半導体領域5及びドレイン領域1の方向に空乏層が広がる。それによりSiC接合型電界効果トランジスタの高耐圧化が図れる。オンの時には、第2埋め込み電圧制御ゲート半導体領域8とp型埋め込み電圧制御ゲート半導体領域5との間に電流の通路となる複数のチャネルがあるため、オン抵抗が減少する。本実施例のものでは、耐圧は6.2kVであり、オン抵抗は78mΩcm<sup>2</sup>であった。

【0027】《第4実施例》図9は、本発明の第4実施例のSiC静電誘導型トランジスタのセグメントの断面図である。本実施例では、第2実施例の図7に示す接合

型電界効果トランジスタのp型表面電圧制御ゲート半導体領域7とp型埋め込み電圧制御ゲート半導体領域5に挟まれた活性領域3の幅を減少する。上記活性領域3の幅の減少にともなう、セグメントの図の左右方向の幅も減少する。また対向する両埋め込み電圧制御ゲート半導体領域5の間隔も狭くすることにより、耐圧を向上できる。あるいは低いゲート電圧でも電流を遮断できる。活性領域3の幅を減らすことにより、活性領域3の抵抗が減少する。

【0028】接合型電界効果トランジスタでは、オン時に活性領域3を電流が流れると、活性領域3の中央部の電位が、その領域の抵抗に比例して高くなる。流れる電流が大きくなると、さらにその電位が高くなり、p型表面電圧制御ゲート半導体領域7及びp型埋め込み電圧制御ゲート半導体領域5と逆バイアスになり、それらの接合から空乏層が広がり、電流通路であるチャンネルが狭くなり電流が飽和する。しかし、本実施例のようにp型表面電圧制御ゲート半導体領域7とp型埋め込み電圧制御ゲート半導体領域5に挟まれた活性領域3の幅を狭くし抵抗を減らすと、活性領域3の中央部の電位上昇が抑えられ、空乏層がチャンネルに広がらないため、オン電流の飽和が起きない静電誘導型トランジスタとなる。本実施例の構造では、チャンネル抵抗が小さいので、ソースSとドレインD間の抵抗全体に占めるソース抵抗の割合が大きくなる。そこでn型ソース領域4の底面をp型埋め込み電圧制御ゲート半導体領域5に接するように形成することにより、ソース抵抗を小さくできる。例えばオン抵抗を $57\text{ m}\Omega\text{ cm}^2$ 程度に低くすることができる。また、隣り合うp型埋め込み電圧制御ゲート半導体領域5の間隔を更に狭くすることにより、オフ時にp型埋め込み電圧制御ゲート半導体領域5とn型ドリフト層2との接合部から空乏層がドレイン領域1の方に広がる。この空乏層が電圧を分担するので耐圧が向上する。本実施例の場合、耐圧は6.2 kVで、オン抵抗は $48\text{ m}\Omega\text{ cm}^2$ であった。

【0029】《第5実施例》図10は、本発明の第5実施例のSiC静電誘導型トランジスタのセグメントの断面図である。本実施例では、第4実施例の図9における活性領域3の中央部にp型領域9を設けている。その他の構成は第4実施例のものと同じであるので、重複する説明は省略する。このように構成することにより、p型埋め込み電圧制御ゲート半導体領域5及びp型表面電圧制御ゲート半導体領域7とn型活性領域3の接合から活性領域3内に空乏層が広がる。さらにp型領域9とn型活性領域3との接合部からも空乏層が広がるため、ゲート電圧が零又は低い場合でもn型活性領域3をピンチオフにすることができ、SiC静電誘導型トランジスタの高耐圧化が図れる。本実施例の場合、耐圧は5.9 kVで、オン抵抗は $43\text{ m}\Omega\text{ cm}^2$ であった。

【0030】《第6実施例》図11は、本発明の第6実

施例のSiC接合型電界効果サイリスタのセグメントの断面図である。図において、アノード領域11として機能する $10^{18}$ から $10^{20}\text{ atm/cm}^3$ の高不純物濃度のp型SiCの基板に、 $10^{13}$ から $10^{16}\text{ atm/cm}^3$ の低不純物濃度のn型ドリフト層2を気相成長法等により形成する。ドリフト層2の上に、前記第2実施例の場合と同様に、p型の埋め込み電圧制御ゲート半導体領域5を形成する。同様にしてn型活性領域3、p型ゲートコンタクト半導体領域6、p型表面電圧制御ゲート半導体領域7、16及びn型のカソード領域14を順次形成する。n型のカソード領域14の底部は電圧制御ゲート半導体領域5に接している。カソード領域14にカソード電極25、p型表面電圧制御ゲート半導体領域7、及びp型ゲートコンタクト領域16にゲート電極23を設ける。最後に、アノード領域11にアノード電極24を設ける。

【0031】ゲートG及びカソードKを0Vとし、アノードAに正の電圧を印加すると、p型埋め込み電圧制御ゲート半導体領域5及びp型表面電圧制御ゲート半導体領域7との間のn型活性領域3にビルトイン電圧に基づく空乏層が広がり、n型活性領域3をピンチオフ状態にする。これにより、順方向電圧に対する耐電圧性が生じる。ゲートG及びカソードKを0Vとし、アノードAに負の電圧を印加すると、p型アノード領域11とドリフト層2との接合部から空乏層が広がり、逆方向電圧に対する耐電圧性が生じる。したがって、本実施例のSiCサイリスタは順方向及び逆方向ともに高耐圧を実現できる。

【0032】アノードAにビルトイン電圧以上の正の電圧を印加し、ゲートGにカソードKを基準にしてビルトイン電圧以下の正の電圧を印加すると、p型埋め込み電圧制御ゲート半導体領域5とp型表面電圧制御ゲート半導体領域7との間のn型活性領域3内の空乏層の領域が狭くなり、アノードAから、隣り合う両p型埋め込み電圧制御ゲート半導体領域5の間を通り、n型活性領域3、n型カソード領域14を経て、カソードKに至る電流が流れる。この時、p型アノード領域11からn型ドリフト層2内及びn型活性領域3に少数キャリアである正孔が注入されるため、伝導度変調が生じオン抵抗が大幅に低減する。また、n型カソード領域14をp型埋め込み電圧制御ゲート半導体領域5に接触させているため、カソードKとドリフト層2との間のカソード抵抗を小さくでき、大きな電流密度においてもカソード損失を小さくすることができる。カソード抵抗が小さいのでノイズも少ない。耐電圧5.3 kVのサイリスタの場合では、電流立ち上がり後のオン抵抗を $6\text{ m}\Omega\text{ cm}^2$ 以下にすることができた。

【0033】《第7実施例》図12は、本発明の第7実施例の、SiCを用いた静電誘導型サイリスタのセグメントの断面図である。本実施例のサイリスタは、第6実

施例の図11に示すサイリスタの極性を反転しており、チャンネルはp型である。n型表面電圧制御ゲート半導体領域38とn型埋め込み電圧制御ゲート35に挟まれた活性領域33の幅を縮小し、両p型アノード領域31の間の距離を縮めることにより、チャンネル抵抗を小さくして、オン電流の飽和を起こさない静電誘導現象が生じるようにしている。本構造では、チャンネル抵抗が小さいので、p型アノード領域31の抵抗であるアノード抵抗の、アノードAとカソードK間の抵抗に占める割合が大きくなる。本実施例ではp型アノード領域31の底面がn型埋め込み電圧制御ゲート半導体領域35に接しているの、アノード抵抗を小さくすることができる。本実施例のサイリスタの場合n型カソード領域34からp型ドリフト層32に少数キャリアの電子が注入されるので、p型ドリフト層32やp型活性領域33の抵抗が大幅に低減される。従って相対的にアノード抵抗の比率が大きくなるが、前記のようにアノード抵抗を小さくすることがカソードKとアノードA間の抵抗の低減に寄与する。また、隣り合うn型埋め込み電圧制御ゲート半導体領域35の間隔を狭くすることにより、オフ時にn型埋め込み電圧制御ゲート半導体領域35とp型ドリフト層32との接合部から空乏層がカソードKの方に広がって電圧を分担するので、耐圧が高くなる。

【0034】本実施例では、p型ドリフト層32とp型活性領域33の不純物濃度を $5 \times 10^{14} \text{ at m/cm}^3$ 、厚さをそれぞれ $150 \mu\text{m}$ と $1.2 \mu\text{m}$ にしている。本実施例のサイリスタの耐圧はゲートGの電圧が0Vのとき、順方向及び逆方向とも $15000 \text{ V}$ 以上である。また立ち上がり後のオン抵抗は、ゲート電圧が $2.5 \text{ V}$ のとき $32 \text{ m}\Omega\text{cm}^2$ と非常に小さな値にすることができた。本実施例では、p型基板はその抵抗を低くできないという、現状のSiC技術の問題点にかんがみ、抵抗の低いn型基板を用いている。その結果オン時ににおいて、オン電圧を低くできるという効果が得られる。オン電圧はたとえば、 $100 \text{ A/cm}^2$ の電流密度で $4.4 \text{ V}$ であり極めて低い値になった。

【0035】《第8実施例》図13は、本発明の第8実施例の、SiCを用いた接合型電界効果トランジスタのセグメントの断面図である。本実施例のトランジスタは、図1の第1実施例の接合型電界効果トランジスタと同じ構成において、p型表面電圧制御ゲート半導体領域7及びn型ソース領域4の上にソース電極40を設けている。ゲート電極23は、p型の表面電圧制御ゲート半導体領域16の上に形成している。その他の構成は第1実施例のものと同じである。本実施例では、ソース電極40の面積を大きくすることができるので、ソース電極40の抵抗を大幅に低減することができるという特徴がある。

【0036】《第9実施例》図14は、本発明の第9実施例の、SiCを用いた静電誘導型トランジスタのセグ

メントの断面図である。本実施例のトランジスタは、図9の第4実施例の静電誘導型トランジスタの中央部に、p型の第3埋め込み電圧制御ゲート半導体領域10、n型ソース領域44及びソース電極42を設けている。n型ソース領域44の両側には、n型活性領域43が設けられ、その上にそれぞれのゲート電極46が設けられている。各p型埋め込み電圧制御ゲート半導体領域5と、p型第3埋め込み電圧制御ゲート半導体領域10の間隔は約 $2 \mu\text{m}$ である。この構造にすることにより、全領域に対する、n型活性領域43とソース領域44からなる領域の割合を大きくでき、低損失化が実現できる。本実施例では、耐電圧 $5.3 \text{ kV}$ で、オン抵抗が $69 \text{ m}\Omega\text{cm}^2$ のトランジスタが得られた。

【0037】《第10実施例》図15は、本発明の各実施例を適用したSiC静電誘導型トランジスタと、SiCダイオードを用いて、電力用インバータ装置を構成した例を示す回路図である。6個の静電誘導型トランジスタSW11、SW12、SW21、SW22、SW31、SW32およびダイオードD11、D12、D21、D22、D31、D32により直流を三相交流に変換する。本インバータ装置は、一対の直流入力端子51及び52、並びに三相交流の相数に等しい3個の交流出力端子61、62及び63を備えている。直流入力端子51、52に直流電源を接続し、静電誘導型トランジスタSW11、SW12、SW21、SW22、SW31、SW32をスイッチング動作させることにより、直流電力を交流電力に変換して交流出力端子61、62、63に出力する。直流入力端子51、52間には、直列接続された静電誘導型トランジスタSW11とSW12、SW21とSW22、SW31とSW32の各両端子が接続される。各静電誘導型トランジスタSW11とSW12、SW21とSW22、SW31とSW32の組における2個の静電誘導型トランジスタの接続点から交流出力端子61、62、63がそれぞれ取り出される。高耐圧インバータ装置に本発明による半導体装置を適用することにより半導体装置を高耐圧化できるので、直流電力が高くても半導体装置の直列数が少なくて済む。さらに半導体装置は、高耐圧でも低損失である。したがって、高耐圧インバータ装置のコンパクト化、低損失化、低ノイズ化を達成できる。したがって、インバータ装置を用いたシステムの低コスト、高効率化が実現できる。本発明は、インバータ装置以外にも、スイッチング電源、整流器などの電力変換装置に適用できるものである。

【0038】本発明はさらに多くの適用範囲あるいは派生構造をカバーするものである。前記各実施例では、SiCを用いた素子の場合のみを例に挙げて述べたが、本発明は、特に、ダイヤモンド、ガリウムナイトライドなどのワイドギャップ半導体材料を用いた半導体素子に有効に適用できる。前記第1ないし第8実施例では、ドリ

フト層2がn型の素子の場合について述べたが、ドリフト層2がp型の素子の場合には、他の要素のn型領域をp型領域に、p型領域をn型領域に置き換えることにより、本発明の構成を適用できる。

#### 【0039】

【発明の効果】以上各実施例について詳細に説明したところから明らかなように、本発明の電圧制御型半導体装置では、薄い活性領域の上面に表面電圧制御ゲート半導体領域を設け、活性領域の下面の中央部に電流通路を有する埋め込み電圧制御ゲート半導体領域を設けている。薄い活性領域の両端部に、表面電圧制御ゲート半導体領域よりもその表面と底面がそれぞれ低位置でかつ端部が同位置になるソース領域を形成することにより、高耐圧、低オン抵抗・低ノイズの電圧制御型半導体装置を実現できる。また、表面電圧制御ゲート半導体領域を先に形成することにより、セルフアラインによりソース領域を形成でき、量産性がよくなる。

#### 【図面の簡単な説明】

【図1】本発明の第1実施例の接合型電界効果トランジスタの断面図

【図2】図1のII-II断面図

【図3】図2のIII-III断面図

【図4】第1実施例の他の例の接合型電界効果トランジスタの断面図

【図5】本発明の第1実施例の接合型電界効果トランジスタの製造方法の前半の工程を示す断面図

【図6】本発明の第1実施例の接合型電界効果トランジスタの製造方法の後半の工程を示す断面図

【図7】本発明の第2実施例の接合型電界効果トランジスタの断面図

【図8】(a)は本発明の第3実施例の接合型電界効果トランジスタの断面図

(b)は(a)のb-b断面図

【図9】本発明の第4実施例の静電誘導型トランジスタの断面図

【図10】本発明の第5実施例の静電誘導型トランジスタの断面図

【図11】本発明の第6実施例の接合型電界効果サイリスタの断面図

【図12】本発明の第7実施例の静電誘導型サイリスタの断面図

【図13】本発明の第8実施例の接合型電界効果トランジスタの断面図

【図14】本発明の第9実施例の静電誘導型トランジスタの断面図

【図15】本発明の半導体装置を用いた第10実施例の電力用インバータの回路図

【図16】従来の蓄積型電界効果トランジスタACCU FETの断面図

【図17】従来の静電誘導型トランジスタの断面図

#### 【符号の説明】

1 ドレイン領域

2 ドリフト層

3 活性領域

4 ソース領域

5 埋め込み電圧制御ゲート半導体領域

6、16 ゲートコンタクト半導体領域

7 表面電圧制御ゲート半導体領域

8 第2埋め込み電圧制御ゲート半導体領域

10 9 p型領域

10 第3埋め込み電圧制御ゲート半導体領域

11 アノード領域

14 カソード領域

21 ドレイン電極

22 ソース電極

23 ゲート電極

24 アノード電極

25 カソード電極

31 アノード領域

20 32 ドリフト層

33 活性領域

34 カソード領域

35 埋め込み電圧制御ゲート半導体領域

36、38 ゲートコンタクト半導体領域

37 表面電圧制御ゲート半導体領域

42 ソース電極

43 n型活性領域

44 ソース領域

46 ゲート電極

30 51、52 直流入力端子

61、62、63 交流出力端子

SW11、SW12、SW21、SW22、SW31、

SW32 静電誘導型トランジスタ

D11、D12、D21、D22、D31、D32 ダイ

イオード

101：ドレイン領域

102：ドリフト層

103：チャンネル層

104：ゲート絶縁膜

40 105：ゲート電極

106：ドレイン電極

107：ソース電極

108：埋め込み領域

109、110：ゲート領域

112：n型領域

112A：チャンネル

A：アノード

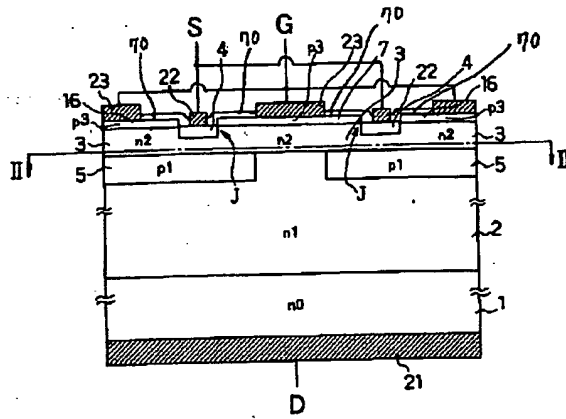
D：ドレイン

G：ゲート

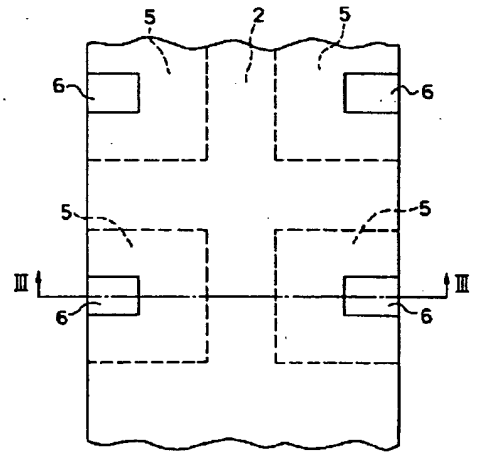
50 K：カソード

S: ソース

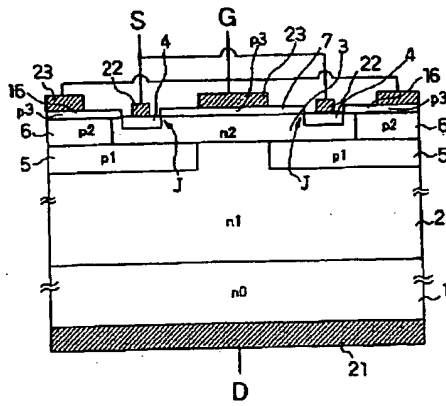
【図1】



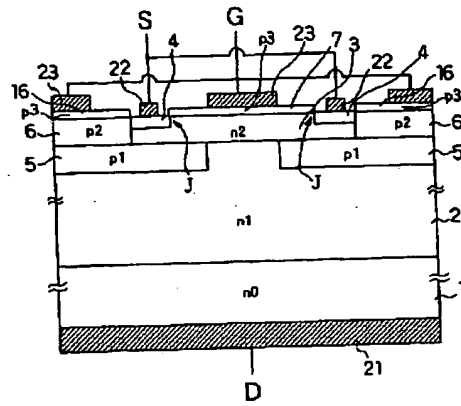
【図2】



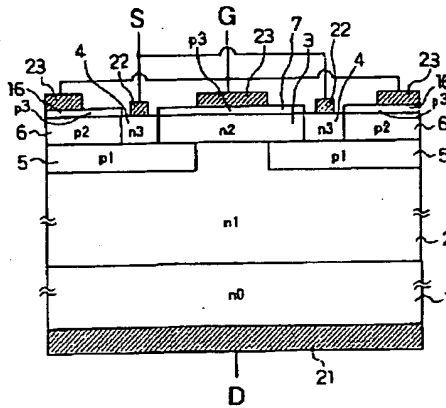
【図3】



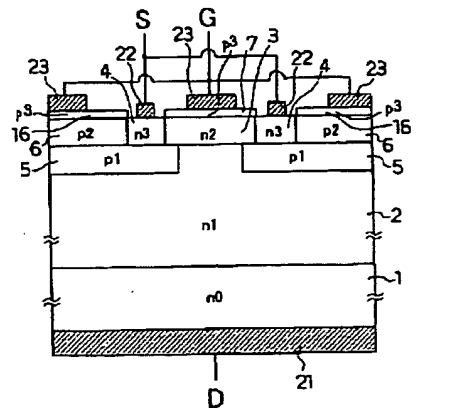
【図4】



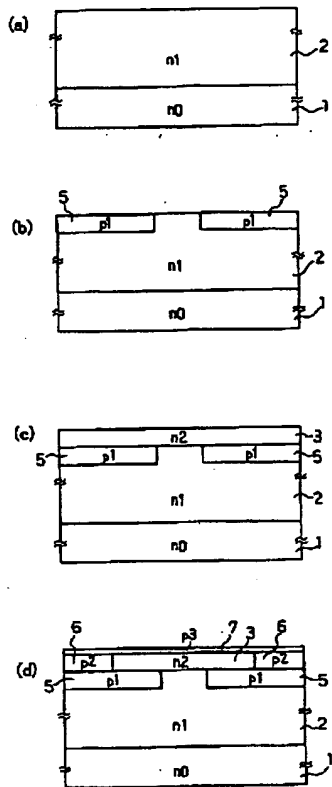
【図7】



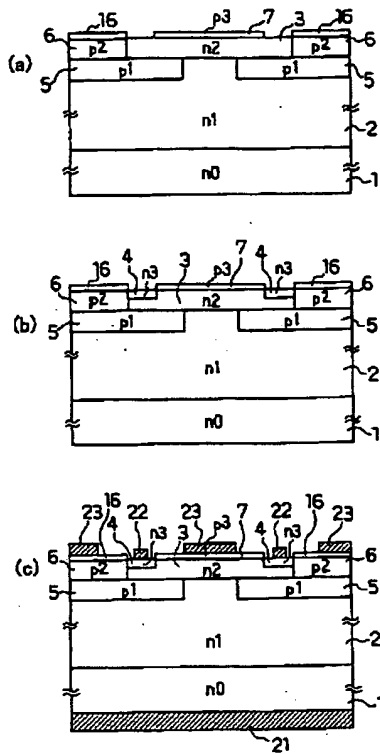
【図9】



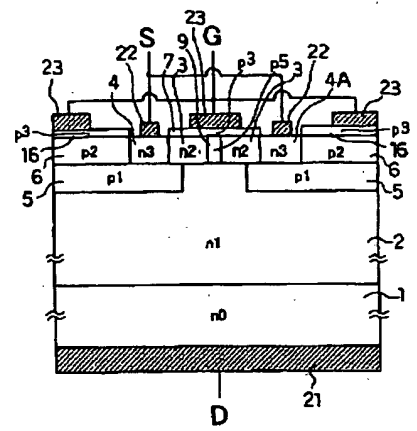
【例 5】



【図6】

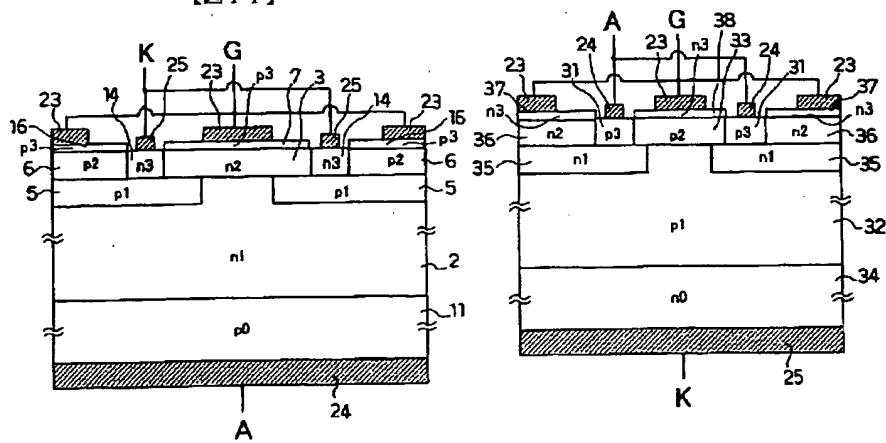


【图 10】

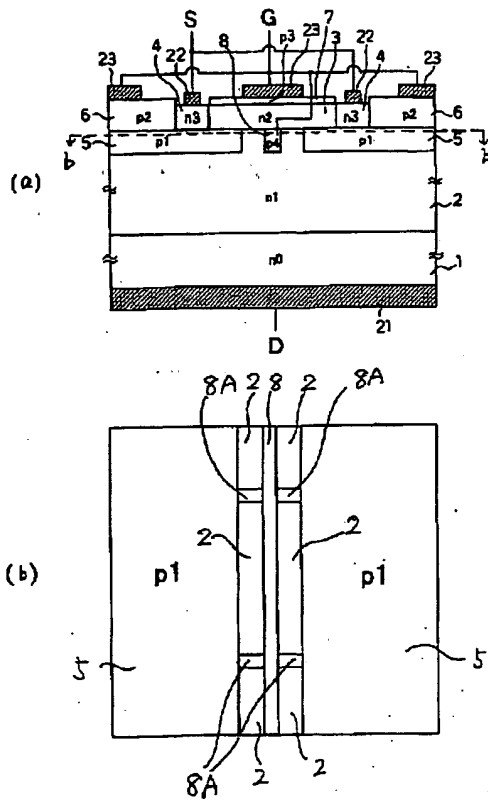


【图 1 2】

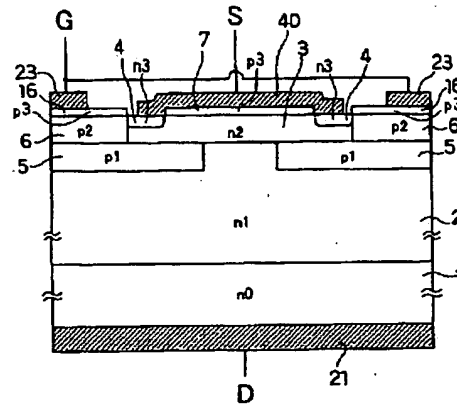
【☒ 1 1 】



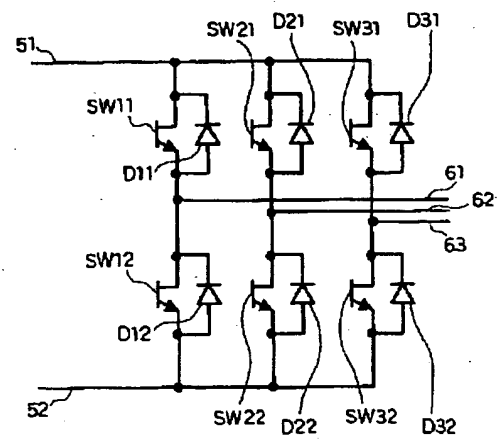
【図8】



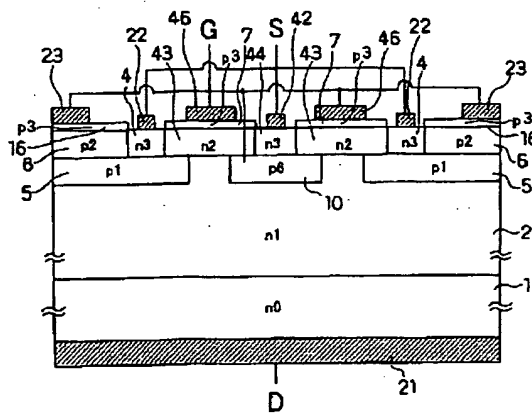
【図13】



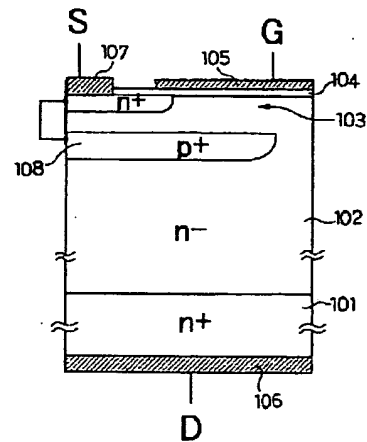
【図15】



【図14】



【図16】



Fターム(参考) 5F005 AA01 AB01 AB03 AC02 AE01  
AE07 AF01 AH02 CA05 GA01  
5F102 FA01 FA03 FB01 GA01 GA14  
GB04 GC07 GC08 GD04 GJ02  
GJ10 GV05 HA02 HC01 HC07  
HC15